

NEC-5092 (4)

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-277542

(43)Date of publication of application : 06.10.2000

(51)Int.Cl. H01L 21/52
H01L 23/48

(21)Application number : 11-081786

(71)Applicant : SANYO ELECTRIC CO LTD

(22)Date of filing : 25.03.1999

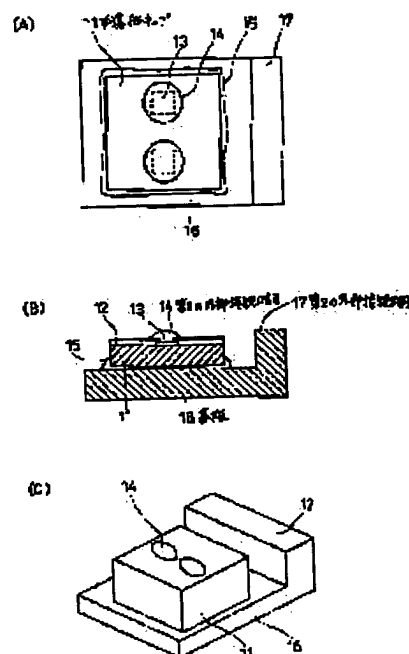
(72)Inventor : HYODO HARUO
KIMURA SHIGEO

(54) SEMICONDUCTOR DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a semiconductor device which can be set nearly as equal in mounting area as a chip and where a backside electrode provided to the chip can be led out keeping it low in resistance.

SOLUTION: A solder ball or the like is formed on the front surface of a semiconductor chip 11 to serve a first outer connection terminal 14. The semiconductor chip 11 is fixed on a substrate 16, and a second outer connection terminal 17 is formed on the substrate 16. The first outer connection terminal 14 and the second outer connection terminal 17 are nearly equal to each other in height. The outer connection terminals 14 and 17 are bonded in face to face with each other.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2000-277542
(P2000-277542A)

(43) 公開日 平成12年10月6日 (2000.10.6)

(51) Int.Cl. ⁷	識別記号	F I	テームト* (参考)
H 0 1 L 21/52		H 0 1 L 21/52	A 5 F 0 4 7
			C
23/48		23/48	F
			T

審査請求 未請求 請求項の数 6 O L (全 5 頁)

(21) 出願番号 特願平11-81786

(22) 出願日 平成11年3月25日 (1999.3.25)

(71) 出願人 000001889

三洋電機株式会社

大阪府守口市京阪本通2丁目5番5号

(72) 発明者 兵藤 治雄

大阪府守口市京阪本通2丁目5番5号 三
洋電機株式会社内

(72) 発明者 木村 茂夫

大阪府守口市京阪本通2丁目5番5号 三
洋電機株式会社内

(74) 代理人 100111383

弁理士 芝野 正雅

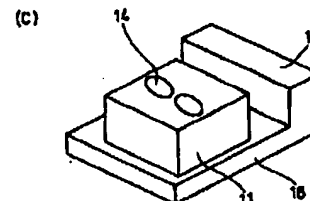
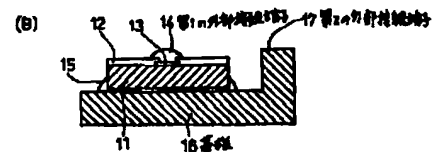
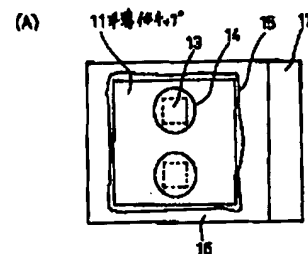
Fターム (参考) 5F047 AA11 AB06 BA05 BA42 CB08
FA08

(54) 【発明の名称】 半導体装置

(57) 【要約】

【課題】 実装面積をチップサイズに近似できると共に、チップの裏面側電極を低抵抗で導出できる半導体装置を提供する。

【解決手段】 半導体チップ11の表面側に半田ボール等を形成して第1の外部接続端子14とする。半導体チップ11を基板16上に固着し、基板16に第2の外部接続端子17を形成する。第1の外部接続端子14と第2の外部接続端子17は高さがほぼ一致する。第1と第2の外部接続端子14、17を対向接着するように構成する。



【特許請求の範囲】

【請求項1】 半導体チップを搭載する基板と、前記半導体チップの表面側に形成した第1の外部接続端子と、前記第1の外部接続端子とその高さを合致させるように、前記基板に形成した第2の外部接続端子とを具備し、

前記半導体基板の裏面側の電極を前記基板と前記第2の外部接続端子を介して前記半導体基板の表面側に導出し、

前記第1と第2の外部接続端子を対向接着可能なように構成したことを特徴とする半導体装置。

【請求項2】 前記基板と前記第2の外部接続端子とが一体化してL字型に折り曲げられていることを特徴とする請求項1記載の半導体装置。

【請求項3】 前記半導体チップが3端子素子であることを特徴とする請求項1記載の半導体装置。

【請求項4】 前記半導体チップが2端子素子であることを特徴とする請求項1記載の半導体装置。

【請求項5】 前記基板の裏面側の形状が平面視での外形寸法を決定することを特徴とする請求項1記載の半導体装置。

【請求項6】 前記半導体チップが露出していることを特徴とする請求項1記載の半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は半導体装置に関し、特に半導体チップ裏面側を取り出し電極の1つとする2又は3端子素子における、小型化したパッケージに関する。

【0002】

【従来の技術】 従来の半導体装置の組立工程においては、ウェハからダイシングして分離した半導体チップをリードフレームに固着し、金型と樹脂注入によるトランスファーモールドによってリードフレーム上に固着された半導体チップを封止し、封止された半導体チップを個々の半導体装置毎に分離するという工程が行われている。リード端子が樹脂の外側に突出すること、トランスファーモールド金型の精度の問題などにより、外形寸法の縮小化には限界が見えていた。

【0003】 近年、外形寸法を半導体チップサイズと同等あるいは近似した寸法にまで縮小する事が可能な、ウェハスケールCSP（チップサイズパッケージ）が注目され始めている。これは、図4（A）を参照して、半導体ウェハ1に各種拡散などの前処理を施して多数の半導体チップ2を形成し、図4（B）に示すように半導体ウェハ1の上部を樹脂層3で被覆すると共に樹脂層3表面に外部接続用の電極4を導出し、その後半導体ウェハ1のダイシングラインに沿って半導体チップ1を分割して、図4（C）に示したような完成品としたものである。

【0004】 樹脂層3は半導体チップ1の表面（裏面を被覆する場合もある）を被覆するだけであり、半導体チップ1の側壁にはシリコン基板が露出する。電極4は樹脂層3下部に形成された集積回路網と電気的に接続されており、実装基板上に形成した導電パターンに対して電極4を対向接着することによりこの半導体装置の実装が実現する。

【0005】 斯かる半導体装置は、装置のパッケージサイズが半導体チップのチップサイズと同等であり、実装基板に対しても対向接着で済むので、実装占有面積を大幅に減らすことが出来る利点を有する。また、後工程に拘わるコストを大幅に減じることが出来る利点を有するものである（例えば、特開平9-64049号）。

【0006】

【発明が解決しようとする課題】 しかしながら、基板をコレクタとするバイポーラ型トランジスタや、基板を共通ドレインとするパワーMOSFET装置等の3端子型の半導体素子や、基板をアノード又はカソードの一方とする2端子素子等の、半導体基板の裏面側を取り出し電極の一つとして動作電流を半導体チップの厚み方向に流す素子では、前記コレクタやドレイン等を半導体チップの表面側に導出する手段がなく、この為にウェハスケールでのCSP装置を実現することが困難である欠点があった。

【0007】 他の手法として、半導体チップをプリント基板上に直接実装するベアボンダ実装も行われているが、上記の問題は同様であるし、更にはベアチップであることの取り扱いの難しさが加わるという欠点があった。

【0008】

【課題を解決するための手段】 本発明は上述した従来の欠点に鑑みて成されたものであり、半導体チップを搭載する基板と、前記半導体チップの表面側に形成した第1の外部接続端子と、前記第1の外部接続端子とその高さを合致させるように、前記基板に形成した第2の外部接続端子とを具備し、前記半導体基板の裏面側の電極を前記基板と前記第2の外部接続端子を介して前記半導体基板の表面側に導出し、前記第1と第2の外部接続端子を対向接着可能なように構成したことを特徴とするものである。

【0009】

【発明の実施の形態】 以下に本発明の実施の形態を、NPNトランジスタを例にして詳細に説明する。

【0010】 図1は、本発明の半導体装置を示す（A）平面図、（B）断面図、（C）斜視図である。これらの図に於いて、11はNPNトランジスタを形成した半導体チップを示す。この半導体チップ11は、裏面側にN+型高濃度層を有し、表面側にN型の低濃度層を形成したもので、N型半導体基板の両面にN+層を拡散した後にウェハを研磨した素子か、あるいはN+基板の上にN

型のエピタキシャル層を形成したものをを用いる。そして、前記N型の低濃度層の表面に選択的にボロン等のP型不純物を選択拡散してベース領域を形成し、さらにベース領域表面にリン等のN型不純物を選択拡散してエミッタ領域等を形成したものである。前記N+高濃度層/N型低濃度層がコレクタとなる。

【0011】半導体チップ11の表面はシリコン酸化膜、シリコン窒化膜等の絶縁膜12によって被覆されており、その開口部に前記ベース・エミッタ領域と電気的に接続されたアルミパッド13が露出する。このアルミパッド13に対して半田バンプや半田ボール等の導電材料を接着して第1の外部接続端子14としている。第1の外部接続端子14の先端部は、半導体チップ11の表面から0.01~0.3mm程度突出する。

【0012】半導体チップ11は、半田、金などの導電性のブリフォーム剤15によって平板状の基板16に接着されている。基板16は、鉄あるいは鋼系の合金素材からなり、0.1~0.3mm程度の板厚で1辺が0.8~2.0mm程度の大きさを持つ。半導体チップ11のチップサイズが0.5~1.5mm程度であり、搭載する半導体チップ11の大きさよりは若干大きい程度のもとする。

【0013】基板16の1側辺は半導体チップ11側にL字型に折り曲げられ、その先端部は第1の外部接続端子14の高さと同程度の高さまで達して、第2の外部接続端子17を形成する。第2の外部接続端子17は、基板16に対して一体化したもので、基板16とは別個に形成したものを基板16上に接着固定したもので良い。そして、第2の外部接続端子17は半導体チップ11の裏面側の領域を導出する端子となる。第2の外部接続端子17と半導体チップ11とが併置されるので、基板16の大きさは、主として半導体チップ11と第2の外部接続端子17との間隔をどこまで縮小できるかによってその最小寸法が決定される。

【0014】半導体チップ11の周辺部は樹脂封止されておらず、所謂ベアボンドに近い状態で供給する形となる。場合により封止するときは、半導体チップ11の周辺部だけを樹脂のポッティング手法等により部分的に被覆し、第1の外部接続端子14だけが露出するような形態とする。

【0015】図2は、斯かる半導体装置を、リードフレームを用いて生産する方法を示したものである。即ち図2(A)に示したように、複数個の基板16を接続部18によって1本の共通細条19に接続したリードフレームを準備し、図2(B)に示したように、各々の基板16上に第1の外部接続端子14を形成した半導体チップ11をダイボンドし、そして接続部18をダイシングソー、レーザーなどの手法で切断することにより個々の半導体装置を製造する。基板16に対して第2の外部接続端子17を一体化する場合は、リードフレームを打ち抜

きまたはエッチングによって加工した後にスタンピング加工等で基板16の一側辺を折り曲げることで形成する。別個に形成した部材を後から固着する場合は、半導体チップ11をダイボンドする前あるいは後に、前記部材を固着する工程を行う。

【0016】図3は、斯かる装置を実装する際の状態を示す為の図である。供給時には図3(A)の様に基板16が上を向いて第1と第2の外部接続端子14、17が下方を向くようにして供給され、機種名などの標印は上を向いた基板16の平坦面に印字する。そして図3

(B)に示したように、基板16の裏面側(半導体チップ11を搭載した面に対して反対側の面)の端部を角錐吸着コレット20に接触させるようにして、これを吸着・保持する。実装は、角錐吸着コレット20で搬送した半導体装置を実装基板21上に移送し、その表面に形成した配線22に対して第1と第2の外部接続端子14、17を半田23等により対向接着することで行われる。基板16の裏面側で装置全体を吸着させるので、半導体チップ11の大きさのばらつきによらず、搬送工程を安定化出来る。第1の外部接続端子14は各々ベースとコレクタの電極、第2の外部接続端子17はコレクタ端子となる。半導体チップ11の表面(活性部分)をプリント基板上に対向接着するので、熱的にも電気的にも抵抗を小さくできる。また、基板16は、搬送時と実装後に半導体チップ11の保護板として機能する。

【0017】以上に説明した本発明の半導体装置は、半導体チップ16よりは若干大きい程度の基板16を用いるので、全体として実装面積の小さな半導体装置を得ることが出来るものである。そして、半導体チップ11の裏面側の電極を第2の外部接続端子17を介して導出したので、前記裏面側の電極の電気抵抗、熱抵抗を共に減じることが出来るものである。これはNPNトランジスタにあってはコレクタ抵抗の増大を抑制し、パワーMOSFETにあってはドレイン抵抗(オン抵抗 r_{ds})の増大を抑制するという効果をもたらす。更に、半導体チップ11表面側の電極を第1の外部接続端子14によって対向接着するので、これらの電気抵抗、熱抵抗をも減じることが出来る。

【0018】また、基板16を用いることにより、ベアチップで提供するよりはその取り扱い性に優れ、基板16に対して半導体チップ11の保護板としての機能と、吸着コレット20の吸着保持面としての機能と、裏面電極の取り出し電極としての機能を同時に持たせることが出来るものである。

【0019】更に、半導体チップ11の樹脂封止を廃止することが可能であるので、材料費を抑えると共に半導体素子の故障と暴走電流による装置の発火、発煙などの事故を防止できる。

【0020】なお、半導体素子としてはバイポーラ型トランジスタ、パワーMOSFET装置などの3端子型の

(4)

場合は、第1の外部接続端子14として2つ必要であるが、ダイオード素子などの2端子素子である場合は、1つの第1の外部接続端子14を配置すれば良いことは言うまでもない。

【0021】

【発明の効果】以上に説明したように、本発明によれば、実装面積がチップサイズに極めて近似する半導体装置得られる利点を有する。しかも、基板16と第2の外部接続端子17により半導体チップ11の裏面側電極を低抵抗で導出できる利点を有するものである。更に、樹

脂封止を廃止すれば、故障時の発煙・発火を防止できる利点を有するものである。

【図面の簡単な説明】

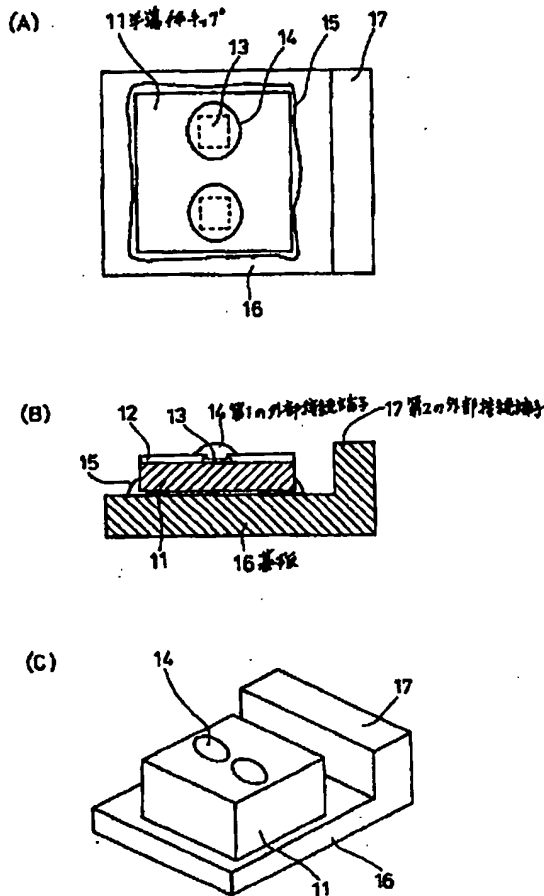
【図1】本発明を説明するための(A)平面図、(B)断面図、(C)斜視図である。

【図2】本発明を説明するための斜視図である。

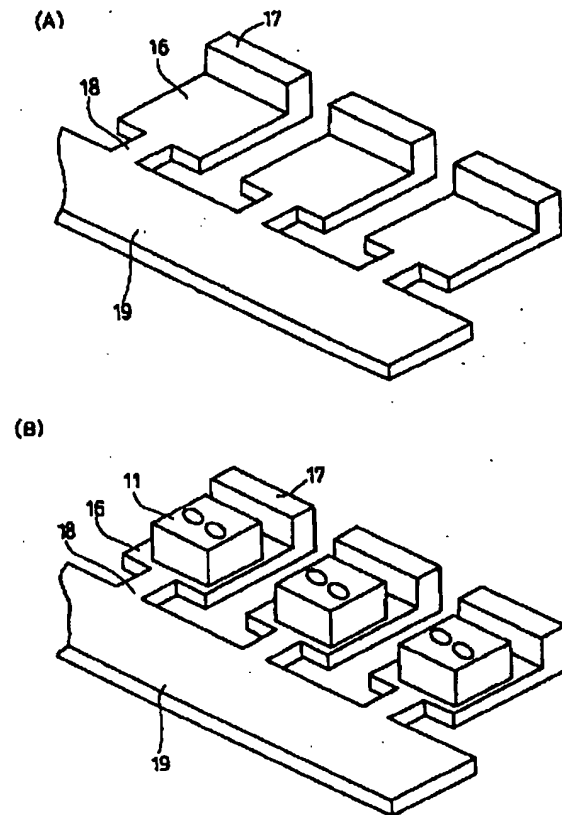
【図3】本発明を説明するための(A)斜視図、(B)断面図である。

【図4】従来例を説明するための図である。

【図1】

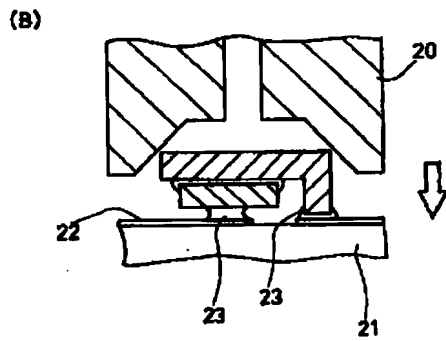
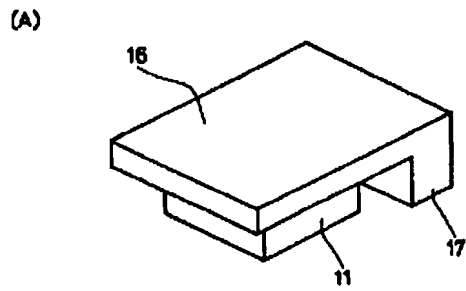


【図2】



(5)

【図 3】



【図 4】

